

7.12. メインメモリーマップ (FLASH)

フラッシュメモリーの割当をここで定義する。

START 番地		END 番地	セグメント 名称	FLASH 容量	使用 容量	
x16 ALIGNED		x16 ALIGNED		Kbyte		
0x00080000	—	0x00081fff	FALSHA	16K	1.2K	3K
0x00082000	—	0x00082000	FALSHB	16K	16.0K	16K
0x00084000	—	0x00084000	FALSHC	16K	16.0K	16K
0x00086000	—	0x00086000	FALSHD	16K	16.0K	16K
0x00088000	—	0x00088000	FALSHE	64K	4.7K	54.7K
0x00090000	—	0x00090000	FALSHF	64K	5.8K	14K
0x00098000	—	0x00098000	FALSHG	64K	2.2K	4.5K => RAMLS2
0x000a0000	—	0x000a0000	FALSHH	64K	0.1K	データセグメント
0x000a8000	—	0x000a8000	FALSHI	64K	0.0K	
0x000b0000	—	0x000b0000	FALSHJ	64K	0.0K	
0x000b8000	—	0x000b8000	FALSHK	16K	0.0K	
0x000ba000	—	0x000ba000	FALSHL	16K	0.0K	
0x000bc000	—	0x000bc000	FALSHM	16K	0.0K	
0x000be000	—	0x000be000	FALSHN	16K	8.0K	8.2K(LCA ゴーストイメージ)
合計				512K	70K	132.5K 26%

7.13. メインメモリーマップ (RAM)

フラッシュメモリーの割当をここで定義する。

START 番地		END 番地	セグメント 名称	容量	使用 容量	
x16 ALIGNED		x16 ALIGNED		word		
0x0000000	—	0x00003FF	RAM M0	1K	0	
0x0000400	—	0x00007FF	RAM M1	1K	0	
0x0001480		0x00014FF	CLAtoCPU	256	0.1	パラメータ通信
0x0001500		0x000157F	CPUtoCLA	256	0.1	同上
0x0008000	—	0x00087FF	RAM LS0	2K	0.1K	CLARAM2 0.1K/4K
0x0008800	—	0x0008FFF	RAM LS1	2K	0.6K	CLARAM0-1 0.6K/4K
0x0009000	—	0x00097FF	RAM LS2	2K	0	LS2-LS3 4.5K/8K
0x0009800	—	0x0009FFF	RAM LS3	2K	—	
0x000A000	—	0x000A7FF	RAM LS4	2K	0	
0x000A800	—	0x000AFFF	RAM LS5	2K	0	
0x000B000	—	0x000B7FF	RAM D0	2K	0	
0x000B800	—	0x000BFFF	RAM D1	2K	0	
0x000C000	—	0x000CFFF	RAM GS0	4K	0	FLASH-N 4.4K
0x000D000	—	0x000DFFF	RAM GS1	4K	0	
0x000E000	—	0x000EFFF	RAM GS2	4K	0.5K	
0x000F000	—	0x000FFFF	RAM GS3	4K	0	
0x0010000	—	0x0010FFF	RAM GS4	4K	21K	10000-12FFF .TI.ramfunc FLASH-N =>
0x0011000	—	0x0011FFF	RAM GS5	4K	—	” 21K/24K
0x0012000	—	0x0012FFF	RAM GS6	4K	—	”
0x0013000	—	0x0013FFF	RAM GS7	4K	0	
				50.5K		DATA : 22.4K / 83K 27% RUN : 8.9K / 18K 50%

専用 RAM (2.11.1.1 Dedicated RAM Dx RAM)

このデバイスには、4つの専用 RAM ブロック M0、M1、D0、および D1 があります。M0 / M1 メモリは、メモリは CPU と緊密に結合されている。CPU のみがこれらのメモリにアクセスできます。

他のマスター (DMA を含む) はこれらの記憶にアクセスすることはできません。

すべての専用 RAM には ECC 機能があります。

すべての専用メモリ (M0 / M1 を除く) はセキュアメモリであり、アクセス保護 (CPU 書き込み保護 / CPU フェッチ保護) 機能も備えています。

アクセス保護レジスタ (DxACCPROT) の特定のビットを設定することによって、各 RAM ブロックのアクセス保護の各タイプをイネーブル/ディスエーブルすることができます。

ローカル共有 RAM (2.11.1.2 Local Shared RAM LSx RAM)

CPU および CLA のみがアクセス可能な RAM ブロックは、ローカル共有 RAM (LSx RAM) と呼ばれます。

そのようなメモリはすべて安全なメモリであり、パリティ機能を備えています。デフォルトでは、これらのメモリは CPU 専用であり、ユーザは LSxMSEL レジスタの MSEL_LSx ビットフィールドを適切に設定することにより、これらのメモリを CLA と共有することを選択できます。

さらに、これらのメモリが CPU と CLA の間で共有されている場合、ユーザは LSACLAPGM レジスタの CLAPGM_LSx ビットフィールドを設定することにより、これらのメモリを CLA プログラムメモリとして使用することができます。

CLA プログラムメモリとしてプログラムされているすべてのメモリブロックへの CPU アクセスがブロックされます。